

# ПАРАЛЕЛЬНА ПАМ'ЯТЬ СИСТЕМ ЦИФРОВОЇ ОБРОБКИ СИГНАЛІВ І ЗОБРАЖЕНЬ

Іван Цмоць, Анатолій Батюк, Богдан Демида, Юрій Рашкевич.

Державний університет "Львівська політехніка"

290646, м. Львів-13, вул. Ст. Бандери, 12, тел. 398793, email: bogdem@polynet.lviv.ua

**Абстракт** - В роботі проведено аналіз компонентів, визначено недоліки в архітектурно-структурній організації пам'яті та сформовано вимоги і основні принципи побудови паралельної пам'яті.

## ВСТУП

Паралелізм реалізації алгоритмів, як основний напрямок розвитку архітектури систем цифрової обробки сигналів і зображень, висуває свої вимоги до організації пам'яті, які в першу чергу пов'язані з підтримкою швидкісного обміну між операційними пристроями і пристроями вводу-виводу. Так як організація пам'яті та її зв'язок з зовнішніми і внутрішніми потоками даних в значній мірі впливають на продуктивність таких систем, тому актуальним є питання аналізу існуючих та розробки нових структур і принципів побудови пам'яті.

## 1. СТРУКТУРА ПАРАЛЕЛЬНОЇ ПАМ'ЯТИ

### 1.1 ОСОБЛИВОСТІ ОСНОВНИХ КОМПОНЕНТІВ

За структурною організацією пристрой паралельної пам'яті дуже подібні до звичайної класичної послідовної пам'яті. Основними компонентами більшості структур паралельної пам'яті є: запам'ятовуюче середовище, адресний блок, комутуюча мережа, блок управління.

Адресний блок реалізує функції формування і генерації необхідної послідовності адрес для запам'ятовуючого середовища. В паралельній пам'яті на базі множини блоків адрес на вході пам'яті повинен бути перетворений в множину адрес на входах модулів. Ці адреси, як правило, різні для різних модулів і повинні обчислюватися адресним блоком паралельної пам'яті. Крім того, даний блок здійснює обчислення, що пов'язані з структурними характеристиками паралельної пам'яті (розмірністю, числом модулів, набором геометричних форматів, організацією запам'ятовуючого середовища). В паралельній пам'яті на базі однієї спільноти пам'яті формування адрес здійснюється дещо простіше.

В структуру паралельної пам'яті входить комутуюча мережа, яка забезпечує маршрутизацію даних, направлення елементів даних, що складають вибрану структуру, задані шини даних пам'яті. Конкретна комутація при звертанні до паралельної пам'яті визначається

алгоритмом рішення конкретної задачі. Комутуюча мережа для забезпечення універсальності повинна забезпечувати всі можливі переключення шин даних. Виконання таких переключень вимагає досить складного управління, в деяких випадках можуть застосовуватися розділення мережі на блоки комутації запису і читання. Вибір конкретного варіанту реалізації комутуючої мережі в першу чергу залежать від конкретних алгоритмів упорядкування даних.

Запам'ятовуюче середовище паралельної пам'яті може бути двох видів: на основі множини модулів пам'яті, на основі одномірної спільноти пам'яті.

При реалізації запам'ятовуючого середовища на базі множини модулів пам'яті загальний об'єм паралельної пам'яті утворюється як сума об'ємів всіх модулів. Організація модулів пам'яті повинна забезпечувати можливість формування необхідної віртуальної конфігурації загального поля пам'яті. Ключовою проблемою проектування паралельної пам'яті є вибір правил розміщення елементів даних по модулях пам'яті. На цьому базується безконфліктність паралельної вибірки даних. Проблема безконфліктності пов'язана з необхідністю одночасної вибірки всіх елементів даних, що складають паралельну структуру.

### 1.2 ВИМОГИ ДО ПАРАЛЕЛЬНОЇ ПАМ'ЯТИ

Дослідження архітектури процесорів та систем цифрової обробки сигналів і зображень [1] виявили наступні недоліки в архітектурно-структурній організації пам'яті:

- складність організації декількох звертань до внутрішньої пам'яті процесорів на протязі одного командного циклу;
- погана підтримка складних структур даних та відсутність багатовимірних запам'ятовуючих середовищ;
- програмна реалізація складних алгоритмів формування послідовностей адрес звертання до пам'яті;
- незбалансованість швидкодії пам'яті з швидкодією операційних пристройів;
- відсутність множинного доступу до пам'яті програм і даних на протязі командного циклу.

При проектуванні пам'яті сучасних систем цифрової обробки сигналів та зображень необхідно усунути вказані недоліки та

забезпечити відповідність пам'яті наступним **вимогам**:

- мати організацію, що орієнтована на роботу з векторами і матрицями даних;
- забезпечити одночасний ввід вхідного масиву даних і вивід раніше прийнятого масиву, дані в якому розміщені у відповідності до алгоритму рішення задачі;
- забезпечувати ввід і вивід даних як з однаковою, так і з різною тактovoю частотою;
- виконувати функції затримки масиву даних на необхідне число тактів з переставленням даних у відповідності з заданим законом або без переставлення;
- забезпечувати багатоканальні ввід та вивід даних, причому число входів і виходів може бути різним.

## 2. СПОСОБИ І ПРИНЦИПИ ПОБУДОВИ ПАРАЛЕЛЬНОЇ ПАМ'ЯТІ

Забезпечити вищевказані вимоги та покращити характеристики пам'яті можна шляхом використання наступних **принципів**:

- ієрархічності і багаторівневості побудови пам'яті великої ємності з широким використанням кепування і механізмів управління сигналами очікування;
- просторового і функціонального розділення внутрішньої пам'яті з широким використанням різних за швидкодією і шириною доступу модулів пам'яті;
- багатоканального доступу до пам'яті з метою забезпечення декількох звертань на протязі одного командного циклу;
- апаратної реалізації складних алгоритмів генерації послідовності адрес з використанням модульної арифметики;
- гармонічного поєднання можливостей інтегральної технології з розширенням функцій пам'яті, збільшення кількості внутрішніх і зовнішніх каналів доступу та з покращенням параметрів модулів пам'яті (ємності, швидкодії і т.д.).

Перспективним бачиться побудова паралельної пам'яті на базі одновимірного спільног запам'ятувочого середовища, що вирішує всі проблеми пов'язані з безконфліктністю та одночасністю паралельної вибірки елементів даних. В якості спільног запам'ятувочого середовища можна використовувати як звичайну класичну послідовну пам'ять, так і розроблені спеціалізовані.

Швидкодія запам'ятувочого середовища, частота звертання до абонентів та їх кількість визначають способи побудови паралельної пам'яті з одним спільним запам'ятувочим середовищем. Із множини існуючих способів розглянемо два основних:

- з часовим розподілом ресурсів запам'ятувочого середовища між усіма абонентами;

- з використанням багатовходового запам'ятувочого середовища.

Перший спосіб побудови паралельної пам'яті використовується при виконанні наступної умови:

$$T_{zc} \times n \leq T_{amin}, \quad (1)$$

де  $T_{zc}$ -період звертання до запам'ятувочого середовища;  $n$ -кількість абонентів;  $T_{amin}$ -найменший з періодів звертання до абонентів пам'яті.

При виконанні умови (1) пам'ять встигає обслугувати  $n$  абонентів, розділяючи в часі їх доступ до запам'ятувочого середовища. В даному випадку затримка в доступі до пам'яті абонентами не відчувається.

Другий спосіб побудови паралельної пам'яті використовується, коли

$$T_{zc} = T_{amin}, \quad (2)$$

або

$$T_{zc} > T_{amin}, \quad (3)$$

Забезпечити виконання умови (2) може пам'ять, яка побудована на  $n$ -входовому запам'ятувочому середовищі. Для виконання умови (3) необхідно збільшити швидкодію запам'ятувочого середовища. Одним із шляхів збільшення швидкодії запам'ятувочого середовища є його розшарування на  $K$  незалежних сегментів. Величина  $K$  визначається відношенням:

$$K = \left\lceil -\frac{T_{zc}}{T_{amin}} \right\rceil, \quad (4)$$

При розшаруванні запам'ятувочого середовища на  $K$  незалежних елементів воно стає  $(K \times n)$ -входовим.

Для випадку, коли:

$$T_{zc} \times n > T_{amin} > T_{zc}, \quad (5)$$

при побудові паралельної пам'яті можна використовувати комбінацію двох способів. При цьому кількість входів запам'ятувочого середовища повинна бути:

$$m \geq \left\lceil -\frac{T_{zc} \cdot n}{T_{amin}} \right\rceil, \quad (6)$$

Використання комбінації двох способів дозволяє мінімізувати апаратні витрати при реалізації паралельної пам'яті.

## ЛІТЕРАТУРА

1. Іван Цмоць, Богдан Деміда. Особливості та основні принципи побудови пам'яті програмованих процесорів цифрової обробки сигналів. Науково-технічний журнал "Технічні вісті", 1998/1(6), 2(7), м.Львів, с.34-39.